

09/630.526

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-122624

(43)Date of publication of application : 18.05.1993

(51)Int.Cl.

H04N 5/335

H04N 5/238

(21)Application number : 03-281440

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 28.10.1991

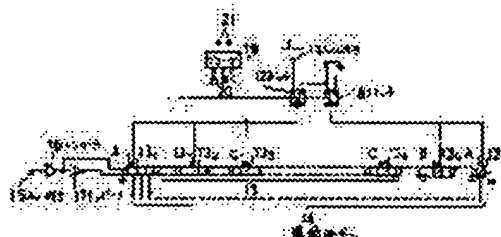
(72)Inventor : NAGASAKI TATSUO

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To select a scanning start point and to supply a scanning signal to the scanning start point in order to permit the selection of the number of image pickup picture elements in accordance with standards.

CONSTITUTION: Plural image pickup picture elements which are arranged in X and Y directions and capable of XY address specification are provided, and a start pulse is supplied from an input terminal 11 so as to give it to plural shifter register elements 131 to 136. A decoder 19 receives a signal from an input terminal 21 and controls the start pulse from the input terminal 11 to be outputted only to the corresponding ones of the shift register elements 131 to 136 from a relevant output signal line 20. At the same time, the start pulse is controlled not to be transmitted to any of the shift register elements 131 to 136 other than the relevant ones of the shift register elements 131 to 136.



LEGAL STATUS

[Date of request for examination] 23.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 2984437

[Date of registration] 24.09.1999

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

009500611 **Image available**

WPI Acc No: 1993-194147/ 199324

XRPX Acc No: N93-149138

**Solid-state charge-modulation image sensor for high-sensitivity video
camera - outputs signals from X-Y arrayed pixels via shift registers
which are driven in correspondence to output signal lines NoAbstract**

Patent Assignee: OLYMPUS OPTICAL CO LTD (OLYU)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5122624	A	19930518	JP 91281440	A	19911028	199324 B
JP 2984437	B2	19991129	JP 91281440	A	19911028	200002

Priority Applications (No Type Date): JP 91281440 A 19911028

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 5122624	A		7	H04N-005/335	
JP 2984437	B2		7	H04N-005/335	Previous Publ. patent JP 5122624

Abstract (Basic): JP 5122624 A

Dwg.1/9

Title Terms: SOLID; STATE; CHARGE; MODULATE; IMAGE; SENSE; HIGH; SENSITIVE;
VIDEO; CAMERA; OUTPUT; SIGNAL; X-Y; ARRAY; PIXEL; SHIFT; REGISTER; DRIVE;
CORRESPOND; OUTPUT; SIGNAL; LINE; NOABSTRACT

Derwent Class: U13; W04

International Patent Class (Main): H04N-005/335

International Patent Class (Additional): H04N-005/238

File Segment: EPI

Manual Codes (EPI/S-X): U13-A02B; W04-M01B5

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-122624

(43) 公開日 平成5年(1993)5月18日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335	Z	8838-5C		
5/238		9187-5C		

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平3-281440

(22) 出願日 平成3年(1991)10月28日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 長崎 達夫

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

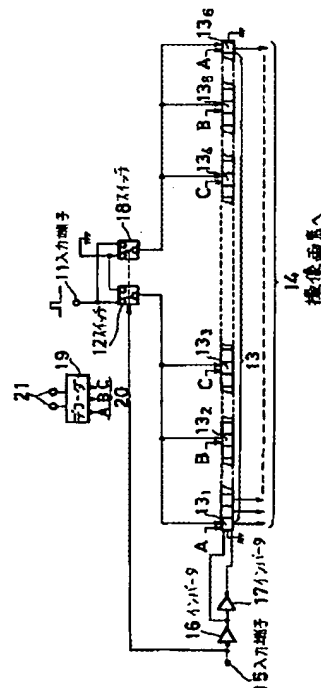
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 撮像装置

(57) 【要約】

【目的】 この発明の撮像装置にあっては、規格に応じた撮像画素数を選択可能にするため、走査開始位置を選択して走査開始位置に走査信号を供給するようにしたことを特徴とする。

【構成】 この発明の撮像装置は、X及びY方向に配列されたXYアドレス可能な複数の撮像画素を有しており、入力端子11から複数のシフトレジスタ要素13₁～13₆に与えるべくスタートパルスが供給される。デコーダ19は、入力端子21からの信号を受けて、該当する出力信号線20から対応するシフトレジスタ要素13₁～13₆にのみ、上記入力端子11からのスタートパルスが出力されるようにする。それと共に、該当するシフトレジスタ要素13₁～13₆の範囲外のものには、上記スタートパルスが伝搬されないように制御される。



【特許請求の範囲】

【請求項1】 X及びY方向に配列されたXYアドレス可能な複数の撮像素子を走査する走査手段と、この走査手段に走査開始信号を与える信号供給手段と、この信号供給手段からの走査開始信号を受けるべく対応する上記走査手段の走査開始位置を選択する選択手段と、上記走査手段が走査すべき所定の範囲を越えて上記走査信号が伝搬することを禁止する走査禁止手段とを具備することを特徴とする撮像素子。

【請求項2】 上記走査手段は双方向バッファで構成され、上記走査手段の走査方向を制御する走査方向制御手段を更に具備する請求項1に記載の撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、撮像素子に関し、特に高感度カメラシステムに使用される固体撮像素子に関するものである。

【0002】

【従来の技術】 従来より、高解像度の画像として、HDTV (1920×1035画素)、HR (1280×1024画素)、SVGA (1204×768画素) 等の規格が提案されている。このような規格に対応する高解像度の撮像素子として、例えばCMD (Charge Modulation Device: 電荷変調素子) が知られている。

【0003】 図8は、CMDイメージの構成を示したものである。同図に於いて、画素となるCMD1はドレイン、ゲート及びソースから成り、各画素のゲート選択線2で水平方向に接続され、ソース部は共通のソース選択線3で垂直方向に接続されている。そして、ドレインは全画素共通電極となっている。

【0004】 また、垂直走査回路5からは、蓄積、リード、リセット及びオーバーフローの各動作に応じた4値の電圧が、所定のタイミングでゲート選択線2に出力される。水平走査回路4と垂直走査回路5によって選択された画素の蓄積電荷に対応する電位が、ソース、垂直信号線に伝達され、各信号線毎に接続されたソースフォロア回路、ビデオ信号線、アンプを介して外部に読出される。

【0005】 このように、CMD1では、水平走査回路4、垂直走査回路5によってデータを読出す画素を任意に選択できる（以下、XYアドレスが可能であると記す）ことが特徴の1つとなっている。

【0006】 また、上述したCMDのようなXYアドレス可能な撮像素子を用いて画素数を変えて撮像しようとする、例えばEG & G RETICON社カタログRA2568Nに示されているような構成が考えられる。このカタログに示されている技術は、撮像素子に蓄積されたデータを高速で読出すために水平走査回路を複数に分割したものであるが、水平走査回路の分割の仕方

によっては、HDTV、HR、SVGA等の規格に対応するように撮像素子数を変えて撮像する目的で使用することも可能である。

【0007】 以下、図9に基いて説明する。このイメージセンサは、複数の水平走査回路6₁、6₂、6₃、6₄、…、6_{n-1}、6_nを備えており、その個数分の出力端子7₁、7₂、7₃、7₄、…、7_{n-1}、7_nが設けられている。同図の例では、水平走査回路6₁と6₂、6₃と6₄、…、6_{n-1}と6_nで組になっており、受光領域を4つのブロックに分けている。それぞれの水平走査回路は、同時に走査させることができるので、4倍のフレームレートが得られるようになっている。

【0008】

【発明が解決しようとする課題】 上述したように、従来は撮像素子数を変更できたとしても、固定で、HDTV、HR、SVGA等の規格に定められた画素数に応じて任意に撮像素子の画素数を選択することができないものであった。この発明は、規格に応じて撮像素子数を選択することが可能な撮像素子を提供することを目的とする。

【0009】

【課題を解決するための手段】 すなわちこの発明は、X及びY方向に配列されたXYアドレス可能な複数の撮像素子を走査する走査手段と、この走査手段に走査開始信号を与える信号供給手段と、この信号供給手段からの走査開始信号を受けるべく対応する上記走査手段の走査開始位置を選択する選択手段と、上記走査手段が走査すべきの所定の範囲を越えて上記走査信号が伝搬することを禁止する走査禁止手段とを具備することを特徴とする。

【0010】

【作用】 この発明の撮像素子にあっては、走査開始位置を選択する選択手段と、所定の範囲を越えて走査信号が伝搬することを禁止する走査禁止手段とを設ける。上記選択手段によって選択された走査開始位置に走査開始信号を与えるようにしたので、規格に応じて撮像素子数を選択することができる。

【0011】 また、走査手段に双方向のバッファを用い、走査方向選択手段によって走査信号が伝搬する方向を選択することを可能にしたので鏡像の画像を読出すことが可能になる。

【0012】

【実施例】 以下、図面を参照してこの発明の実施例を説明する。図1は、水平走査回路の概略図を示すものであり、図2はこの水平走査回路を構成するシフトレジスタ群の1つの要素を示したものである。

【0013】 図1に於いて、入力端子11から、図示されているようなスタートパルスが加えられると、スイッチ12を介してシフトレジスタ要素13₁、13₂、13₃に入力される。スタートパルスが加えられると、図1の左側か

3

ら右側に向かって、順に画素選択信号が、信号線14によって出力される。

【0014】入力端子15は走査方向を反転させるための信号入力端子であり、インバータ16及び17を介してシフトレジスタ要素13_iに接続される。入力端子15にローレベルの信号が入力されているときは、スイッチ12及びスイッチ18が、図示されている側に切換えられ、スタートパルスはシフトレジスタ要素13_i、13_j、13_kから与えられて、画素選択信号は左側から右側に向かって、順にアクティブになる。一方、入力端子15にハイレベルの信号が入力されているときには、スイッチ12及びスイッチ18は、図示の側とは反対側に切換えられ、スタートパルスはスイッチ18を介してシフトレジスタ要素13_k、13_j、13_iに入力される。そして、画素選択信号は、同図の右側から左側に向かって順にアクティブになる。

【0015】ここで、13_iから13_kまで、13_jから13_kまで、13_iから13_kまでの、それぞれのシフトレジスタ要素の数は、それぞれHDTV、HR、SVGAの画素数に対応している。すなわち、シフトレジスタ要素13_iは、それぞれ13_iから13_kまでの1920個、13_jから13_kまでは1280個、13_iから13_kまでは1024個の要素から構成されている。

【0016】また、デコーダ19は、3本の出力信号線(A、B、C)20のうち、入力端子21から入力された信号に対応する出力信号線のみをアクティブにする。例えば、入力端子21から「01」、「10」、「11」が加えられたとすると、出力信号線20からは、それぞれ「011」、「101」、「110」が出力される。3本の信号線A、B、Cは、それぞれシフトレジスタ要素13_iと13_k、13_jと13_k、13_iと13_jに接続され、選択されたスタートパルスのみが有効になるように構成されている。例えば、入力端子21に「01」が入力されると、デコーダ19からは「011」が出力され、HDTV用のスタートパルスのみが有効になる。

【0017】図2は、シフトレジスタ要素13_iまたは13_jの詳細を示したものである。入力端子22、23には、図1に於けるインバータ16と17の出力が、それぞれ入力される。図2に於いて、左側から右側へ走査するとき(以下、ノーマルモードと記す。)には、入力端子22にはハイレベルの信号が、そして入力端子23にはローレベルの信号が入力される。一方、右側から左側に走査するとき(以下、鏡像モードと記す。)は、入力端子22にはローレベルの信号が、入力端子23にはハイレベルの信号が入力される。

【0018】また、上記入力端子22及び23には、それぞれバッファ24、25、26及び27、28、29が接続されている。このうち、バッファ24及び28には、アンドゲート30及び31を介して入力端子32から上記出力信号線20の信号線BまたはCからの信号が入力される。バッファ33は、入力端子34よりスタートパルスが入力され、インバータ

4

35を介した制御線36からの制御を受け、バッファ37を介して制御線38に出力を供給する。更に、スイッチ39、40は、それぞれ制御線41、42からの信号によってオン、オフするものである。

【0019】以下、ノーマルモードについて説明する。この場合、入力端子23にはローレベルの信号が入力されているので、バッファ27、28、29は全て非導通状態となっている。いま、HR規格が選択されたとすると、入力端子32にはローレベルの信号が入力され、バッファ33の制御線がハイとなってバッファ33は導通状態になる。このとき、スタートパルスは入力端子34から印加され、バッファ33を介してバッファ25に入力されると共に、バッファ37を介して信号線38に出力された各画素に供給される。バッファ25及び26は、入力端子22からハイレベルの信号が制御線に入力されているので、導通状態にある。また、スイッチ39及び40は、制御線41及び42によって所定のタイミングでオン、オフされる。

【0020】次に、スタートパルスがシフトされる動作を、図3及び図4を参照して説明する。図3は、図2に示されたシフトレジスタ要素の主要部を抜き出して示した図で、図4は図3の各部の出力のタイミングチャートを示したものである。尚、図3に於いて、43、44、45、46、47、48はバッファ、49、50、51、52はスイッチであり、a、b及びX、Yは信号線である。

【0021】図3のバッファ44と45は、それぞれ図2のバッファ25、26に対応し、信号線a、bは図2の制御線41、42にそれぞれ対応して、ハイレベル時にスイッチが導通する。スタートパルスが印加されると、スタートパルスがハイの間にスイッチ49がオン、オフし、バッファ45はハイレベルが保持される。次いで、スイッチ50がオン、オフするように制御され、バッファ46、47がハイレベルを保持し、隣の画素列への選択信号Yがハイになる。

【0022】次に、スイッチ49、51がオン、オフされると、バッファ45がローになると共にバッファ48がハイになる。続いて、スイッチ50、52がオン、オフされ、バッファ46、47がローになり、選択信号Yがローになる。更に、スイッチ51がオン、オフされると、バッファ48の出力はローとなる。以下、この動作の繰返しにより、バッファ44に供給されたスタートパルスは、同図に於いて右方向に順次移動していく。

【0023】図2に戻って、入力端子22から加えられているハイレベルの信号と、入力端子32より供給されているローレベルの信号が、アンドゲート30によって論理積をとられた結果、制御線がローレベルとなるので、バッファ24は非導通状態となる。このため、バッファ24より左側からくる信号は、バッファ24を越えて右側に進むことはない。したがって、このシフトレジスタ要素13が右端の13_kとして用いられた場合、画素選択用のパルスがHRの有効画素数を越えて右側に進んでいくことを禁止

している。

【0024】次に、鏡像モードの場合について説明する。鏡像モードの場合は、入力端子22にはローレベルの信号が加えられ、入力端子23にはハイレベルの信号が加えられている。したがって、バッファ24、25、26は全て非導通状態となり、バッファ27、28、29が有効となる。但し、入力端子32にローレベルの信号が加えられた場合（例えばHRが選択された場合）、アンドゲート31には入力端子32からローレベルの信号が入力されるので、バッファ28は非導通状態となる。よって、このシフトレジスタ要素13が左端の13₁として機能するとき、HRの有効画素数より左側には画素選択パルスは進まない。また、シフトレジスタ要素13が右端の13_nとして機能するときは、入力端子34から印加されたスタートパルスは、バッファ27を介して左側に進む。

【0025】また、左端と右端に位置されるシフトレジスタ要素13の回路は、それぞれ図5及び図6に示されるように構成されている。図5では、図2のバッファ27に対応するバッファが除かれ、バッファ24に対応するバッファの入力がグラウンドに落とされている。図6では、図2のバッファ25、26、29に対応するバッファを除いて、バッファ28に対応するバッファの入力をグラウンドに落とした構成となっている。そして、図5及び図6の回路とも、その他の構成は図2に示されたものと同じであるので、ここでは説明を省略する。

【0026】同実施例では、以上述べたような構成で、選択されたHDTV、HR、SVGA等の規格に対応した画素数だけ水平方向の画素が走査される撮像素子を構成することができる。

【0027】尚、上述した実施例では、水平走査回路についてのみ述べたが、全く同様の回路構成で垂直走査回路についても実現することができ、全体としてHDTV、HR、SVGA等の規格に応じた撮像画素を選択することができる。次に、この発明の第2の実施例について説明する。

【0028】上述した第1の実施例では、撮像素子がHDTV、HR、SVGA等の高解像画像に対応する画素数を有している場合について述べたが、この発明は、上記実施例に限定されことなく、画素数がより少ない撮像素子についても効果的に適用することができる。

【0029】以下、図7を参照して、この発明の第2の実施例を説明する。光学系53によって、図示されない外部の物体の像が、同実施例に係る撮像素子54上に結像さ

れる。同時に、ハーフプリズム55によって撮像素子54上に結像された像と鏡像関係にある像が、撮像素子56上に結像される。撮像素子54と56は、半画素分だけシフトして配置され、両方の撮像素子からの出力信号を合成することにより、より高解像な画像を撮像することができる。ここで、撮像素子54と56上の像は鏡像関係にあるが、上記第1の実施例で述べたように、この発明によれば逆方向からの走査も容易に実現することができる。

【0030】このように、従来は、画素をシフトして高解像の画像を得る場合、鏡像を避けるために2回反射させて画像を得ていたが、この第2の実施例によれば1回の反射でよく、ハーフプリズムの小型化を図ることができる。

【0031】

【発明の効果】以上のようにこの発明によれば、規格に応じて撮像画素数を選択することが可能な撮像装置を提供することができる。

【図面の簡単な説明】

【図1】この発明に係る撮像装置の第1の実施例で水平走査回路の概略的な回路構成図である。

【図2】図1の水平走査回路を構成するシフトレジスタ群の1つの要素を示した回路構成図である。

【図3】図2に示されたシフトレジスタ要素の主要部を抜き出して示した概略的回路構成図である。

【図4】図3の各部の出力のタイミングチャートである。

【図5】図2の左端に位置されるシフトレジスタ要素の回路構成図である。

【図6】図2の右端に位置されるシフトレジスタ要素の回路構成図である。

【図7】この発明の第2の実施例を示すもので、撮像装置の概略的構成を示した図である。

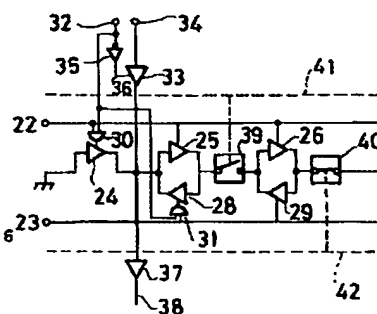
【図8】従来の撮像装置としてのCMDイメージャを示した回路構成図である。

【図9】従来の撮像装置を示すものでイメージセンサの回路構成図である。

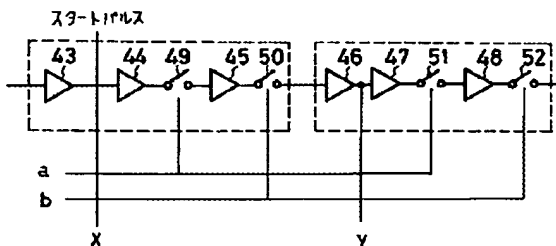
【符号の説明】

11、15、21、22、23、32、34…入力端子、12、18、39、40…スイッチ、13（13₁、13₂、13₃、…、13_n、13_s、13_e）、14…信号線、16、17、35…インバータ、19…デコーダ、20…出力信号線、24、25、26、27、28、29、33、37…バッファ、30、31…アンドゲート、36、38…制御線。

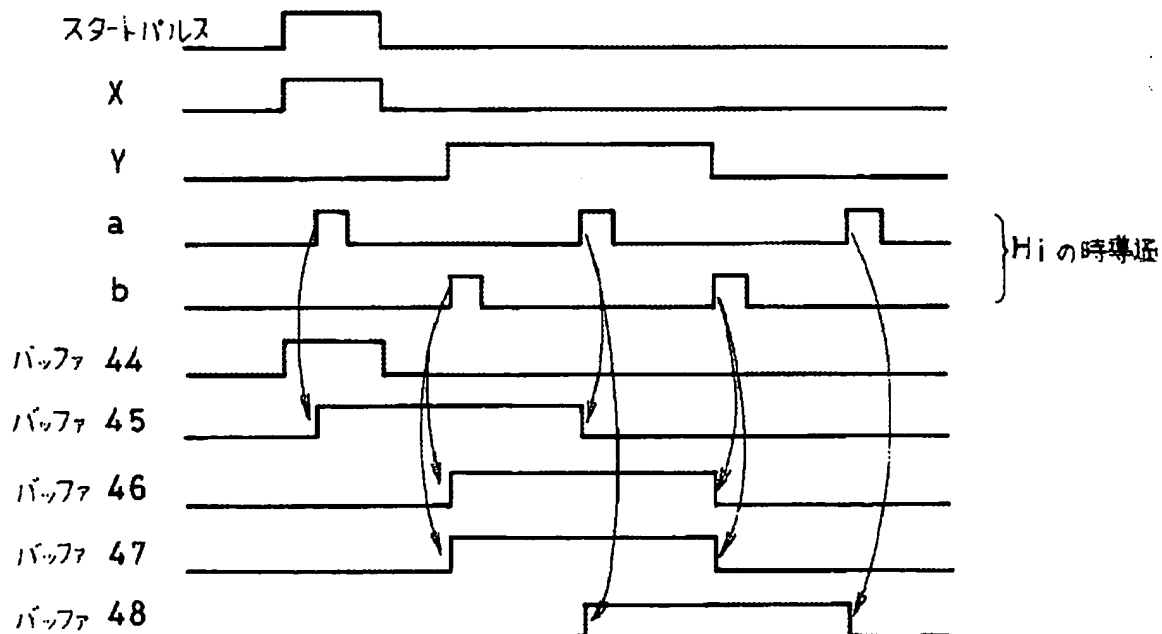
【図5】



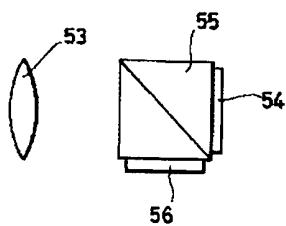
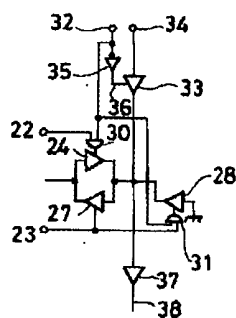
【图 3】



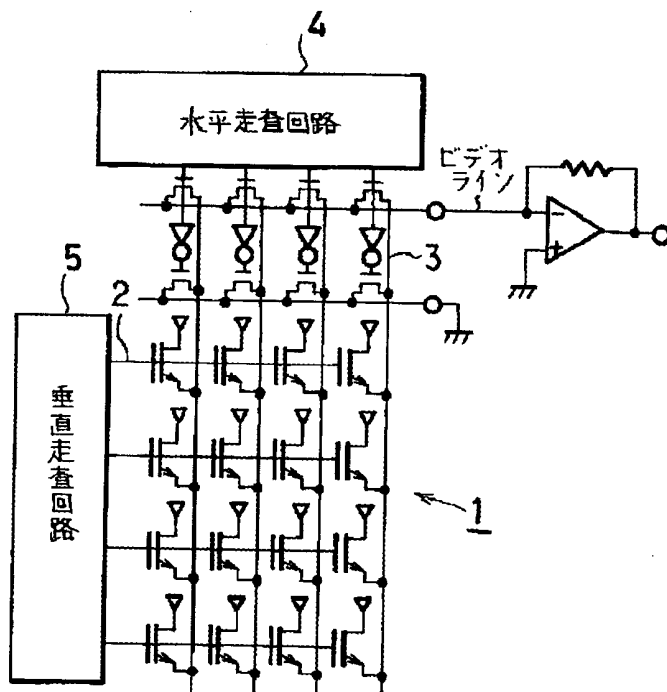
【図4】



【图 7】



【图 8】



THIS PAGE BLANK (USPTO)